

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年5月6日 (06.05.2005)

PCT

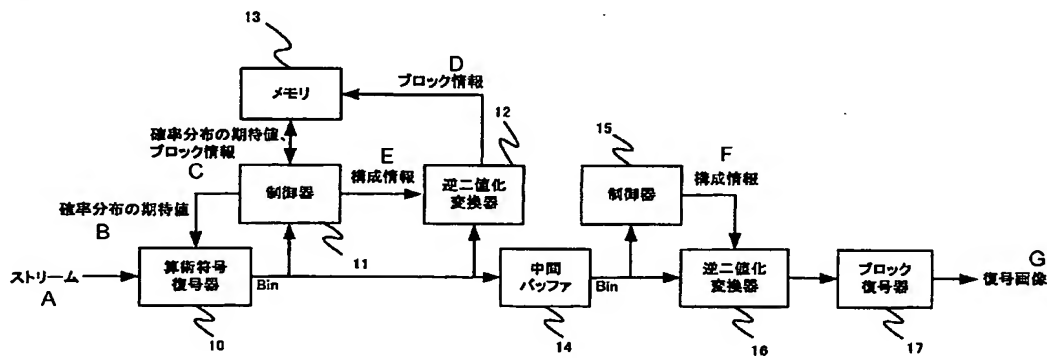
(10) 国際公開番号
WO 2005/041420 A1

- (51) 国際特許分類: H03M 7/40, H04N 7/24, 1/413
(21) 国際出願番号: PCT/JP2004/015981
(22) 国際出願日: 2004年10月28日 (28.10.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2003-369176
2003年10月29日 (29.10.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
(72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 仙田 裕三 (SENDA, Yuzo) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: DECODING APPARATUS OR ENCODING APPARATUS WHEREIN INTERMEDIATE BUFFER IS INSERTED BETWEEN ARITHMETIC SIGN DECODER OR ENCODER AND DEBINARIZER OR BINARIZER

(54) 発明の名称: 算術符号の復号器または符号化器と逆2値化変換器または2値化変換器との間に中間バッファが挿入された復号装置または符号化装置



A... STREAM
10... ARITHMETIC SIGN DECODER
B... EXPECTED VALUE OF PROBABILITY DISTRIBUTION
C... EXPECTED VALUE OF PROBABILITY DISTRIBUTION, BLOCK INFORMATION
11... CONTROLLER
13... MEMORY
E... STRUCTURE INFORMATION

12... DEBINARIZER
D... BLOCK INFORMATION
14... INTERMEDIATE BUFFER
15... CONTROLLER
F... STRUCTURE INFORMATION
16... DEBINARIZER
17... BLOCK DECODER
G... DECODED IMAGE

(57) Abstract: In a binarized arithmetic sign decoder, the arithmetic sign decoding and the debinarization are separated from each other and a large intermediate buffer is inserted therebetween. The arithmetic sign decoding is executed when a stream is inputted. In this way, the arithmetic sign only needs to be decoded at the maximum input bit rate of the decoder. The obtained binarized symbol sequence is temporarily stored in the intermediate buffer. Then, the debinarization of the binarized symbol sequence into multilevel symbols is performed in accordance with the processing of a block decoder in the following stage.

[続葉有]



IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明の2値化算術符号の復号器では、算術符号の復号と逆2値化変換を分離し、その間に大きな中間バッファを挿入する。まず、算術符号の復号はストリームが入力された時点で行う。これにより、算術符号は復号器の最大入力ビットレートで復号できればよくなる。得られた2値化シンボル列はいったん中間バッファにとどめておく。そして、2値化シンボル列から多値シンボルへの逆2値化変換は、後段のブロック復号器の処理に合わせて行う。